

⑫ 公開特許公報 (A)

昭58—185091

⑤ Int. Cl.³
G 11 C 11/34
8/00

識別記号

庁内整理番号
6549—5 B
6549—5 B

⑬ 公開 昭和58年(1983)10月28日

発明の数 2
審査請求 未請求

(全 10 頁)

⑭ 昇圧電圧出力回路および昇圧電圧出力回路を
備えたアドレスデコード回路

⑯ 特 願 昭57—68921

⑰ 出 願 昭57(1982)4月24日

⑱ 発 明 者 浅野正通

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス

タ工場内

⑲ 発 明 者 岩橋広

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内

⑳ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

昇圧電圧出力回路および昇圧電圧出力回路
を備えたアドレスデコード回路

2. 特許請求の範囲

(1) 昇圧電圧出力端子と、入力信号の電圧レベルが変化した際にこの信号電圧を電源電圧以上に昇圧する電圧昇圧手段と、定常的に電源電圧以上の所定電圧まで昇圧された昇圧電圧を保持する昇圧電圧保持手段と、上記電圧昇圧手段における昇圧電圧レベルに応じて上記昇圧電圧保持手段で保持されている電圧を上記昇圧電圧出力端子に供給する昇圧電圧供給制御手段とを具備したことを特徴とする昇圧電圧出力回路。

(2) 前記昇圧電圧供給制御手段が、前記電圧昇圧手段における昇圧電圧によってスイッチ制御されるスイッチングトランジスタである特許請求の範囲第1項に記載の昇圧電圧出力回路。

(3) アドレス信号の一部信号によって複数の出力端のうちの一つを選択する第1のアドレス

デコードと、この第1のアドレスデコードの出力が負荷回路に直列挿入されたスイッチングトランジスタのゲートに供給され上記アドレス信号の一部信号によって複数の出力端のうちの一つを選択する第2のアドレスデコードと、上記アドレス信号の残りの信号によって複数の出力端のうちの一つを選択する第3のアドレスデコードと、上記第2のアドレスデコードの各出力端と複数の各行線との間に挿入され上記第3のアドレスデコードの出力によってスイッチング制御されるスイッチングトランジスタとを具備し、上記第1、第3のアドレスデコードのうち少なくとも第1のアドレスデコードの出力段に、昇圧電圧出力端子、入力信号の電圧レベルが変化した際にこの信号電圧を電源電圧以上に昇圧する電圧昇圧手段、定常的に電源電圧以上の所定電圧まで昇圧された昇圧電圧を保持する昇圧電圧保持手段、上記電圧昇圧手段における昇圧電圧レベルに応じて上記昇圧電圧保持手段で保持されている電圧を上記昇圧電圧出力端子に供

給する昇圧電圧供給制御手段からなる昇圧電圧出力回路を備えてなることを特徴とする昇圧電圧出力回路を備えたアドレスコード回路。

3. 発明の詳細な説明

この発明は MOS トランジスタによって構成される昇圧電圧出力回路および昇圧電圧出力回路を備えたアドレスコード回路に関する。

一般に RAM (ランダム・アクセス・メモリ) や ROM (リード・オンリー・メモリ) 等の半導体メモリでは、スイッチング・トランジスタにおける信号転送効率の向上、消費電力低減化のために、スイッチング・トランジスタあるいは出力段バッファの負荷トランジスタをエンハンスメント型のものとし、かつ“1”レベル出力として電源電圧レベルいっぱいまで出力させるという目的で昇圧電圧出力回路が用いられている。この昇圧電圧出力回路は電源電圧以上に昇圧された電圧を出力するものであり、この回路で得られる昇圧された電圧を上記エンハンスメント型のトランジスタのゲートに供給すること

ゲートまたは、半導体メモリにおける行線等へ供給される。

第1図(b)には他の従来例を示す。これは、遅延回路部5と昇圧回路部6により構成され、遅延回路部5はNチャネル型のMOSトランジスタ $T_1 \sim T_4$ からなり、また昇圧回路部6はNチャネル型のMOSトランジスタ $T_5 \sim T_8$ からなる。この回路では、信号 ϕ_0 が“1”、信号 ϕ_1 が“0”の状態では信号D、E、F、GおよびHがそれぞれ“0”、“1”、“1”、“0”、“0”となっている。次に信号 ϕ_0 が“0”となった後、信号 ϕ_1 が“1”となると、まず、トランジスタ T_5 を通して信号 ϕ_1 により信号Hが“1”レベルとなるが、この時、まだ信号Eは“1”のため、信号Gは“0”である。次に遅延回路部5を通して、信号Eが“0”になるとトランジスタ T_6 を通して信号Fが“0”となり、トランジスタ T_7 がオフするとともにトランジスタ T_8 もオフとなるため信号Gが“1”となり、コンデンサ C_1 により信号Hが昇圧される。

により上記目的を満足させている。ところが、従来では昇圧された電圧を一定に保持する手段がなく、昇圧を開始してから一定時間後には、上記昇圧電圧出力回路の出力端子に接続されているP-N接合等においてリーク電流が発生し、これにより昇圧された電圧が低下してしまっており、上記目的を達成することができないという不都合がある。

第1図(a)ないし(c)はこの種の従来の昇圧電圧出力回路を示す。第1図(a)は出力に昇圧電圧を得る一般的な論理回路で、デコード出力信号またはロジック入力信号Aがバッファ1に入力され、その出力信号Bには2段のインバータ2, 3を通過して遅延された信号Cがコンデンサを介して重畳される。この回路では信号Aが“0”から“1”に変わると、信号Bが“0”から“1”となり、インバータ2, 3による一定遅延時間後、コンデンサにより信号Bの“1”レベルが昇圧される。そしてこの昇圧された信号Bは、スイッチング・トランジスタの

第1図(d)には別の従来例を示す。この回路は、デコード等によく用いられるもので、Nチャネル型のMOSトランジスタ $T_{11} \sim T_{14}$ から構成されている。すなわち、この回路は、デコード7が選択されてその出力信号Jが“0”から“1”になると、トランジスタ T_{11} を通して信号Kも“0”から“1”になるが、信号Lが“1”のため、トランジスタ T_{12} がオンし、信号Mは“0”である。次にトランジスタ T_{13} , T_{14} からなるE/Dインバータ8による一定遅延時間後、信号Lが“0”になると、信号Mが“1”となり、コンデンサ C_2 により信号Kが昇圧される。この時、トランジスタ T_{11} はカットオフする。したがってトランジスタ T_{14} は3極管動作となり、信号Mは V_c にほとんど等しい“1”レベルとなる。

しかしながら、第1図(a), (b), (c)に示す従来の昇圧電圧出力回路における昇圧信号B, H, Kは、そこに接続されるP-N接合等において発生するリーク電流により、一定時間後には低下して

の昇圧電圧 V_{H1} 、 V_{H2} を得てこれを保持する昇圧電圧保持回路の回路構成図である。この回路は整流素子として作用する8個のE型のMOSトランジスタ61ないし68とカップリングコンデンサ61ないし65および電荷蓄積用のコンデンサ66、67から構成されていて、上記カップリングコンデンサ61ないし65の一端に第9図に示すような波形のパルス信号 ϕ_1 あるいは ϕ_2 を供給することにより、コンデンサ66、67の各端子から前記昇圧電圧 V_{H1} 、 V_{H2} を得るようになっている。

第10図はこの発明に係る昇圧電圧出力回路をアドレスデコード回路に応用した実施例の回路構成図である。この回路は6ビットの外部アドレス信号 A_1 ないし A_6 が供給される図示しないアドレスバッファから出力される内部アドレス信号 A_1 、 $\overline{A_1}$ 、 A_2 、 $\overline{A_2}$ 、 \dots 、 A_6 、 $\overline{A_6}$ によって64本の行線 $W1$ ないし $W64$ のうちの1本を選択するためのものである。

第10図において100は第1のアドレスデ

コード 100 に対して各4個ずつ設けられ、上記内部アドレス信号の一部信号 A_3 と A_4 、 $\overline{A_3}$ と $\overline{A_4}$ 、 A_5 と $\overline{A_5}$ 、 $\overline{A_5}$ と $\overline{A_6}$ 、それぞれ信号の組み合わせ、上記第1のアドレスデコード100の出力信号および各インバータ401ないし404によるその反転信号を入力として、RD1ないしRD16の16個の出力端のうちのいずれか一つを選択する16個のデコード201ないし216から構成されている。これらの各デコード201ないし216はデコード201に例示するように、インバータ401による反転信号、アドレス信号 A_3 と A_4 、それぞれをゲート入力とする合計3個のE型の駆動MOSトランジスタ251、252、253と、ゲートに上記各出力端 e_1 ないし e_4 の信号が入力されてこれら各信号によってスイッチング制御されるE型のMOSトランジスタ254、およびこのトランジスタ254に直列挿入されるD型の負荷MOSトランジスタ255から構成されている。

第3のアドレスデコード300は、上記内部

コード、200は第2のアドレスデコード、300は第3のアドレスデコードである。

第1のアドレスデコード100は、上記内部アドレス信号の一部信号 A_1 と A_2 、 $\overline{A_1}$ と $\overline{A_2}$ 、 A_3 と $\overline{A_3}$ 、 $\overline{A_3}$ と $\overline{A_4}$ 、それぞれの信号の組み合わせを入力として、 e_1 ないし e_4 の4個の出力端のうちのいずれか一つを選択する4個のデコード101ないし104から構成されていて、これらの各デコード101ないし104は、たとえば前記第5図あるいは第7図に示すように、デコード300とこの出力段に設けられる昇圧電圧出力回路とから構成されている。そして各デコード101ないし104内のデコード300の駆動MOSトランジスタ38のゲートにアドレス信号 A_1 と A_2 、 $\overline{A_1}$ と $\overline{A_2}$ 、 \dots 、 $\overline{A_6}$ と $\overline{A_6}$ 、それぞれの信号の組み合わせが入力され、出力端 e_1 ないし e_4 のいずれか一つから電源電圧以上に昇圧された信号8が出力される。

第2のアドレスデコード200は、上記第1のアドレスデコード100の各出力端 e_1 ない

し e_4 に対して各4個ずつ設けられ、上記内部アドレス信号の残りの信号 A_3 と A_4 、 $\overline{A_3}$ と $\overline{A_4}$ 、 A_5 と $\overline{A_5}$ 、 $\overline{A_5}$ と $\overline{A_6}$ 、それぞれの信号の組み合わせを入力として、 f_1 ないし f_4 の4個の出力端のうちのいずれか一つを選択する4個のデコード301ないし304およびその反転信号を得る4個のインバータ305ないし308から構成されていて、上記各デコード301ないし304は、たとえば前記第5図あるいは第7図に示すように、デコード300とこの出力段に設けられる昇圧電圧出力回路とから構成されている。そして各デコード301ないし304内のデコード300の駆動MOSトランジスタ38のゲートにアドレス信号 A_3 と A_4 、 $\overline{A_3}$ と $\overline{A_4}$ 、 A_5 と $\overline{A_5}$ 、 $\overline{A_5}$ と $\overline{A_6}$ 、それぞれの信号の組み合わせが入力され、出力端 f_1 ないし f_4 のいずれか一つから電源電圧以上に昇圧された信号8が出力される。

また上記第2のアドレスデコード200内の16個の各出力端 $BD1$ ないし $RD16$ には、各4個ずつで合計64個のスイッチ回路501な

いし564をそれぞれ介して64本の行線WL1ないしWL64に接続されている。これら各スイッチ回路501ないし564はスイッチ回路501に例示するように、デコード201の出力端RD1と行線WL1との間に挿入されるE型のMOSトランジスタ571と、行線WL1とアース電位との間に挿入されるE型のMOSトランジスタ572との2個のトランジスタによって構成されている。そして各スイッチ回路501ないし564内の各一方のトランジスタ571のゲートには上記第3のアドレスデコード300の4個の出力端 f_1 ないし f_4 の信号がそれぞれ入力され、各他方のトランジスタ572のゲートには4個の反転出力端 \bar{f}_1 ないし \bar{f}_4 の信号がそれぞれ入力される。

このような構成でなるアドレスデコード回路では、 A_1 と A_2 の2ビット分のアドレス信号で第1のアドレスデコード100の4個の出力端 e_1 ないし e_4 のうちの一つを選択し、さらに A_3 と A_4 の2ビット分のアドレス信号で第

2のアドレスデコード200の各4個の出力端RD1ないしRD4, RD5ないしRD8, RD9ないしRD12, RD13ないしRD16のうちのそれぞれ一つを選択し、また第3のアドレスデコード300の4個の出力端 f_1 ないし f_4 のうちの一つを A_5 と A_6 の2ビット分のアドレス信号で選択して64個のスイッチ回路501ないし564のうち16個のスイッチ回路内のトランジスタ571をオン、トランジスタ572をオフさせることにより、1本の行線を選択駆動するものである。

ところで第1のアドレスデコード100の4個のデコード101ないし104の各出力段には前記の昇圧電圧出力回路が設けられているために、第2のアドレスデコード200の選択されたデコード内のトランジスタ254のゲートには電源電圧 V_c よりも十分に高い電圧が入力され、その出力端RDには十分な“1”レベルが得られる。またスイッチ回路501ないし564内の各一方のトランジスタ571はE型であり、

かつ第3のアドレスデコード300により選択されたゲートにも電源電圧 V_c よりも十分に高い電圧が入力されるため、選択された行線WLにも十分な“1”レベル(ほぼ V_c 電位)が得られる。また前記した理由により、選択された出力端 e_1 ないし e_4 , f_1 ないし f_4 それぞれのうちの一つにおける昇圧電圧はリーク電流によって低下することがないので、選択された行線WLからは常に十分な“1”レベル出力が得られる。しかも、デコード101ないし104の各出力段に昇圧電圧出力回路を設けず、トランジスタ254としてしきい値電圧がほぼ0Vの真性型のものを用いると、そのしきい値電圧のバラツキが出力端RDの電位のバラツキとして現われるが、この実施例の場合にはバラツキは発生しない。

なお、この発明は上記実施例に限定されるものではなく、たとえば前記第2図ないし第5図に示す各実施例回路では、 V_{Hb} と V_{Hb} の二種類の昇圧電圧を供給する場合について説明したが、

これは同じ電圧を供給するようにしてもよい。また第10図に示す実施例回路では、第1、第2のアドレスデコード100, 300内の各デコード101ないし104および301ないし304それぞれの出力段に昇圧電圧出力回路を設ける場合について説明したが、これは第1のアドレスデコード100内の各デコード101ないし104の出力段のみに昇圧電圧出力回路を設けるようにしてもよい。ただしこの場合、トランジスタ571はしきい値電圧がほぼ0Vの真性型のものを用いる必要がある。そしてこの場合 V_c と行線WLとの間には1個のみ真性型MOSトランジスタが挿入されるので、この真性型MOSトランジスタのしきい値電圧のバラツキはさほど問題とはならない。

以上説明したようにこの発明によれば、昇圧電圧出力端子に定常的に所定レベルまで昇圧された電圧を供給するようにしたことによって、リーク電流による昇圧電圧レベルの低下を防止することができる昇圧電圧出力回路および昇圧

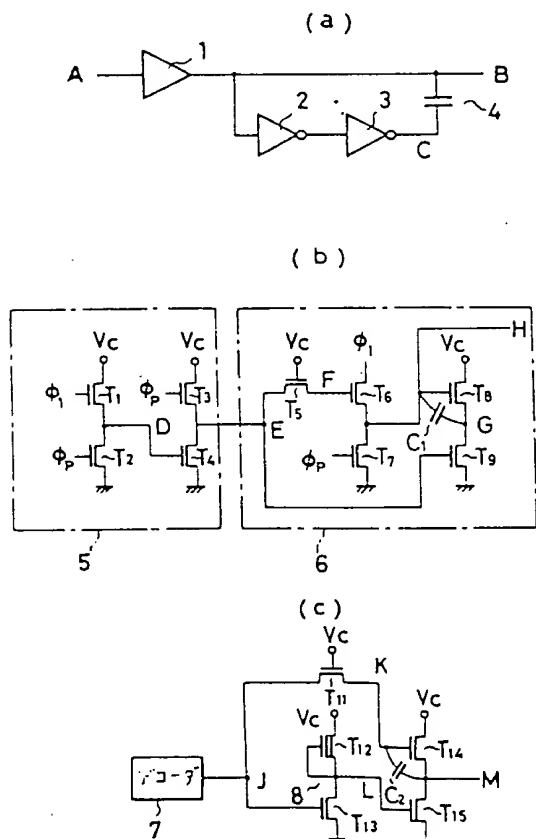
電圧出力回路を備えたアドレスデコード回路を提供することができる。

4. 図面の簡単な説明

第1図(a)ないし(c)は従来の昇圧電圧出力回路の構成図、第2図ないし第7図はそれぞれこの発明に係る昇圧電圧出力回路の構成図、第8図は上記各実施例回路で使用される電圧を保持するための昇圧電圧保持回路の構成図、第9図は同回路の入力信号の波形図、第10図はこの発明に係る昇圧電圧出力回路を備えたアドレスデコード回路の構成図である。

11…入力端子、12, 36…インバータ、13, 14, 15, 16…デンプレスジョン型のMOSトランジスタ、20, 21, 31, 33, 34, 37, 38, 41, 42, 51~58…エンハンスメント型のMOSトランジスタ、22…昇圧電圧出力端子、23, 32, 35, 43, 66, 67…コンデンサ、39…デコーダ、61~65…カップリングコンデンサ、100…第1のアドレスデコーダ、200…第2のデ

第1図



しまい、これら昇圧信号を利用する半導体メモリーで十分な動作が期待できなくなるという欠点がある。

この発明は上記のような事情を考慮してなされたものであり、その目的とするところは、昇圧電圧出力端子に定常的に所定レベルまで昇圧された電圧を供給することにより、リーク電流による昇圧電圧レベルの低下を防止することができ、昇圧電圧出力回路および昇圧電圧出力回路を備えたアドレスデコード回路を提供することにある。

以下図面を参照してこの発明の一実施例を説明する。第2図はこの発明に係る昇圧電圧出力回路の一実施例の回路構成図である。図において11は“1”レベルがたとえば5Vで“0”レベルがアース電位(0V)のデコード出力信号またはロジック入力信号Aが与えられる入力端子である。この入力端子11にはインバータ12の入力端が接続されるとともにディブレーション型(以下D型と略称する)のMOSトラン

ジスタ13のソースに接続され、他方のトランジスタ21のゲートは上記インバータ12の出力端に接続される。また上記トランジスタ20, 21の直列接続点には昇圧電圧出力端子22が設けられる。なお、図中、トランジスタ20のゲート、ソース間に挿入されているコンデンサ23は、寄生コンデンサであるが、ここに別なコンデンサ素子を接続してもよい。また図中のトランジスタはすべてNチャネル型である。

次に上記のように構成された回路の動作を説明する。まず信号Aが“0”の時にはインバータ12の出力信号Pは“1”となり、トランジスタ13, 15および21がオンする。そしてトランジスタ14, 15の g_m 値を g_{m14} , g_{m15} とし、予め $g_{m14} < g_{m15}$ なる関係に設定しておけば、トランジスタ14のソースの信号Qはほぼ0V、ドレインの信号Rはほぼ V_c すなわち5Vになる。ここでトランジスタ16のしきい値電圧を V_{th16} とした場合に、このトランジスタ16がオフする条件、 $V_{o16} - V_{th16} < V_{s16}$ (た

ジスタ13のドレインが接続される。このトランジスタ13のソースにはD型のMOSトランジスタ14のソースおよびゲートが接続され、さらにトランジスタ14のドレインには2個のD型のMOSトランジスタ15, 16のソースが接続される。そして上記トランジスタ15のドレインは、たとえば5Vに設定されている電源電圧 V_c が供給される端子17に接続され、トランジスタ16のドレインは、定常的にたとえば8Vに昇圧、保持されている昇圧電圧 V_H が供給される端子18に接続される。上記トランジスタ13, 15のゲートは上記インバータ12の出力端に接続され、トランジスタ16のゲートは上記トランジスタ13のソースに接続される。また定常的にたとえば7Vに昇圧、保持されている昇圧電圧 V_H が供給される端子19とアース電位との間には2個のエンハンスメント型(以下E型と略称する)のMOSトランジスタ20, 21が直列接続される。そして上記一方のトランジスタ20のゲートは上記トランジス

たし V_{o16} はトランジスタ16のゲート電圧、 V_{s16} はトランジスタ16のソース電圧)を考えた場合、トランジスタ16がD型トランジスタの一般的なしきい値電圧(例えば-3V)を持てば V_{o16} はほぼ0V、 V_s は5Vであるからこの条件を満足するため、トランジスタ16はオフとなる。したがってトランジスタ20がカットオフ、トランジスタ21がオンして、昇圧電圧出力端子22の信号Bは“0”(0V)になる。

次に信号Aが“1”になると、トランジスタ13を通して信号Qが“1”(5V)に充電され、この結果、トランジスタ16, 20がオンする。また信号Aが“1”になってからインバータ12による一定遅延時間経過後、信号Pが“0”になってトランジスタ21がオフする。ここでトランジスタ13, 15のしきい値電圧を V_{th13} , V_{th15} とした場合、両トランジスタ13, 15がオフする条件、 $V_{o13} - V_{th13} < V_{s13}$, $V_{o15} - V_{th15} < V_{s15}$ (V_{o13} , V_{o15} 及び V_{s13} ,

V_{gs} はそれぞれトランジスタ13, 15のゲート電圧及びリース電圧)を考えると、両トランジスタがD型トランジスタの一般的なしきい値電圧を持てばこの条件を満たすので、両トランジスタ13, 15はカットオフする。したがって、この時、信号Qはトランジスタ20およびコンデンサ23を介して昇圧され、5Vよりも高い電圧になる。信号Qが5Vよりも高い電圧に昇圧されることにより、トランジスタ16, 14を通して信号Qは V_{gs} の電圧レベルすなわち8Vになり、トランジスタ20のゲートが8Vになることによって昇圧電圧出力端子22の信号8は、トランジスタ20を通して V_{gs} のレベルすなわち7Vとなる。この結果、“1”レベルの電圧が5Vの信号Aは7Vに昇圧されて出力されることになる。そしてこの状態で、端子22を介してリーク電流が流れたとしても、端子19から電荷の補給が行なわれるため、信号8が7Vから低下する恐れはない。したがって、これによって昇圧電圧レベルの低下を防止する

に、トランジスタ15, 16のソース共通接続点と昇圧電圧出力端子22との間に新たにコンデンサ32を接続した点にある。そして上記E型のトランジスタ31のゲートは前記端子17に接続される。

この実施例回路では、信号Aが“0”で信号Qが“0”になっている時でも、信号Pは“1”でありトランジスタ15がオンしているため信号Bはほぼ“1”(5V)であるから、コンデンサ32には電荷が保持されている。この状態で信号Aが“1”で信号8が“1”になる場合、信号Rがトランジスタ16を通して V_{gs} により充電される前にコンデンサ32によって充分高い電圧に昇圧され、この昇圧された電圧がトランジスタ14を介して信号Qとなる。すなわち、この実施例の場合、信号Qはかなり高く昇圧されるので、第2図の実施例の場合よりも電圧 V_{gs} の供給能力が低くてもよいという利点を持つ。

第4図はこの発明に係る昇圧電圧出力回路の

ことができる。

すなわち、上記実施例回路は、インバータ12、トランジスタ13, 14, 15, 16, 20, 21およびコンデンサ23からなり、入力端子11に与えられる信号Aの電圧を5Vの電源電圧 V_c 以上に昇圧する昇圧回路における昇圧電圧に応じてトランジスタ20を制御し、端子22に予め定常的に V_c 以上の所定レベルまで昇圧された昇圧電圧 V_{gs} を供給するようにしたものであり、昇圧回路で得られる昇圧電圧そのものを端子22から出力するようにしたのではないので、上記したように端子22から得られる昇圧電圧のレベル低下を防止することができる。

第3図はこの発明に係る昇圧電圧出力回路の他の実施例の回路構成図である。この実施例回路が上記第2図の実施例回路と異なるところは、D型のMOSトランジスタ13の代わりにE型のMOSトランジスタ31を、入力端子11とトランジスタ14のソースとの間に接続するととも

他の実施例の回路構成図である。この実施例回路では昇圧電圧出力端子22と端子19との間に、2個のE型のMOSトランジスタ33, 34とコンデンサ35からなる別の電圧昇圧回路を設け、信号8に同期してこの信号8を昇圧するようにしたものである。すなわち、この実施例回路において、信号Aが“0”で昇圧電圧出力端子22の信号8が“0”のとき、トランジスタ33, 34の接続点の信号Tは $V_c - V_{th33}$ (V_{th33} はトランジスタ33のしきい値電圧であり、 $V_c - V_{th33}$ はたとえば4V)となる。また端子19には7Vの電圧 V_{gs} が常時供給されているため、トランジスタ34はカットオフしている。次に信号Aが“1”となり、信号8が“1”(7V)になると、コンデンサ35によって信号Tは10V程度の高い電圧に昇圧され、トランジスタ34がオンして端子19には上記昇圧された信号Tの電圧が供給される。したがって、この実施例の場合、電圧 V_{gs} の供給能力が低くてもよいという利点を持つ。

第5図はこの発明に係る昇圧電圧出力回路の他の回路構成図である。この実施例回路では、上記第4図に示す実施例回路のトランジスタ16のゲートをトランジスタ31のソースに接続する代わりに、インバータ36を介して前記インバータ12の出力端に接続するとともに、入力端子11に与える信号AとしてE型の負荷MOSトランジスタ37およびE型の駆動MOSトランジスタ38, 38, …からなるデコーダ39の出力信号を入力するようにしたものである。

この実施例回路では、デコーダ回路39が非選択状態の場合、信号AおよびQが“0”となるため、負荷MOSトランジスタ37はオフし、デコーダ39における電力消費は0である。一方、デコーダ39が選択状態の場合、駆動MOSトランジスタ38, 38, …はすべてオフするため、トランジスタ15, 14を通して信号Qが“1”に充電され、さらにトランジスタ31および37を通して信号Aが“1”に充電され

る。信号Aが“1”になるとインバータ12により信号Pが“0”となり、トランジスタ16がカットオフする。次にインバータ36による一定遅延時間経過後、トランジスタ16がオンして、その後、信号Qが昇圧される。なお、上記インバータ36はトランジスタ15, 16がともにオン状態となることを避けるために設けられている。

第6図はこの発明に係る昇圧電圧出力回路の他の実施例の回路構成図である。この実施例回路では前記第2図に示す実施例回路のトランジスタ14, 15, 16の代りに2個のE型のMOSトランジスタ41, 42およびコンデンサ43を設けるようにしたものである。すなわち、新たに追加された一方のトランジスタ41のドレインは端子17に、ゲートはこの回路を低消費電力モードに切り換えるパワードウン信号PDが供給される端子44に、ソースはもう1個のトランジスタ42のドレインにそれぞれ接続され、トランジスタ42のゲートはコンデン

サ43の一端およびドレインに、ソースは信号Q点にそれぞれ接続され、またコンデンサ43の他端は発振信号OSCが供給される端子45に接続される。

なお、この実施例回路ではD型のトランジスタ13の代りに、ゲートが端子17に接続されたE型のトランジスタ31が用いられている。

この実施例回路において発振信号OSCは常時“1”(5V)と“0”(0V)を繰り返しているが、信号Aが“0”の時は信号Qも“0”となり、信号Bも“0”である。次に信号Aが“1”になると、信号Qはトランジスタ31を通して“1”に充電され、インバータ12の一定遅延時間経過後、信号Pが“0”になり、トランジスタ21がオフすると、オンしているトランジスタ20を通して信号Bが充電され始めかつコンデンサ23によって信号Qが昇圧される。このとき、トランジスタ42のゲートの信号Uは、発振信号OSCが0Vのとき、 $V_c - V_{th42}$ (たとえば4V)となり、OSCが5Vのときに

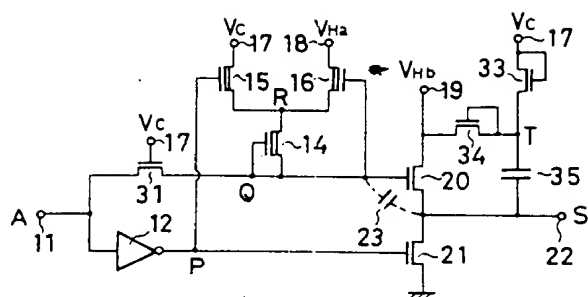
は $5V + 4V = 9V$ となるので、トランジスタ42を通して信号Qが充分昇圧される。この結果、トランジスタ20を通して V_{ab} のレベルが端子22に出力される。

第7図はこの発明に係る昇圧電圧出力回路の他の実施例の回路構成図である。この実施例回路は前記第5図に示す実施例回路のトランジスタ15, 16の代りに、上記2個のE型のトランジスタ41, 42とコンデンサ43からなる回路を設けるようにしたものであり、トランジスタ42のソースがトランジスタ14のドレインに接続される。またこの回路ではトランジスタ14のドレインと端子22との間にコンデンサ33が設けられている。

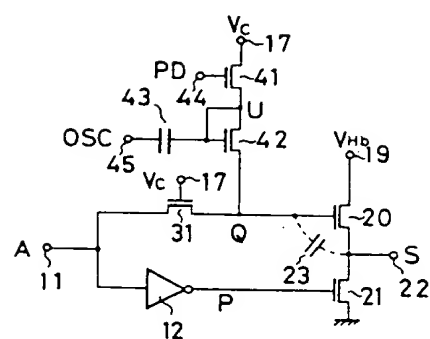
この実施例回路および上記第6図の実施例回路では、いずれもパワードウン信号PDを“0”にしてトランジスタ41をオフさせることにより、信号Qは“0”になり、回路消費電流を0にすることができる。

第8図は上記各実施例回路で使用される2種

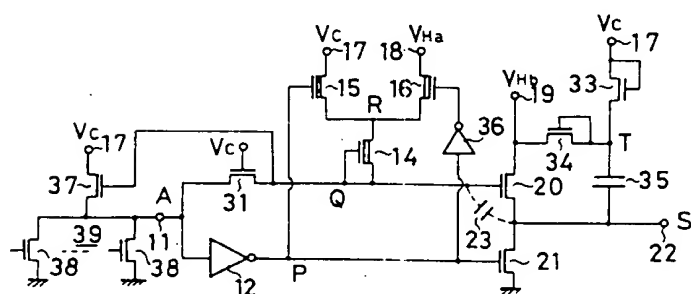
第 4 図



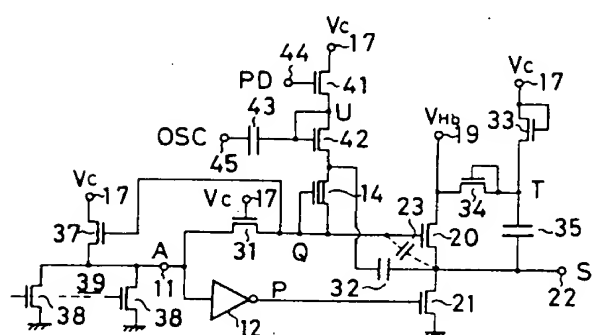
第 6 図



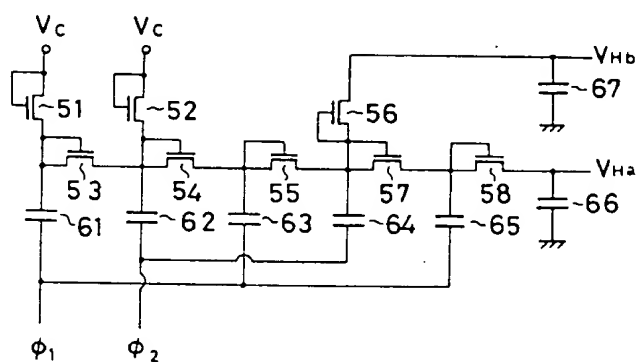
第 5 図



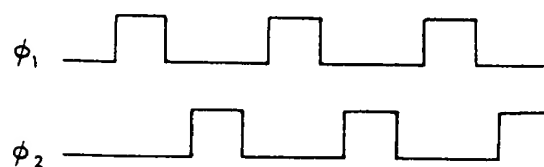
第 7 図



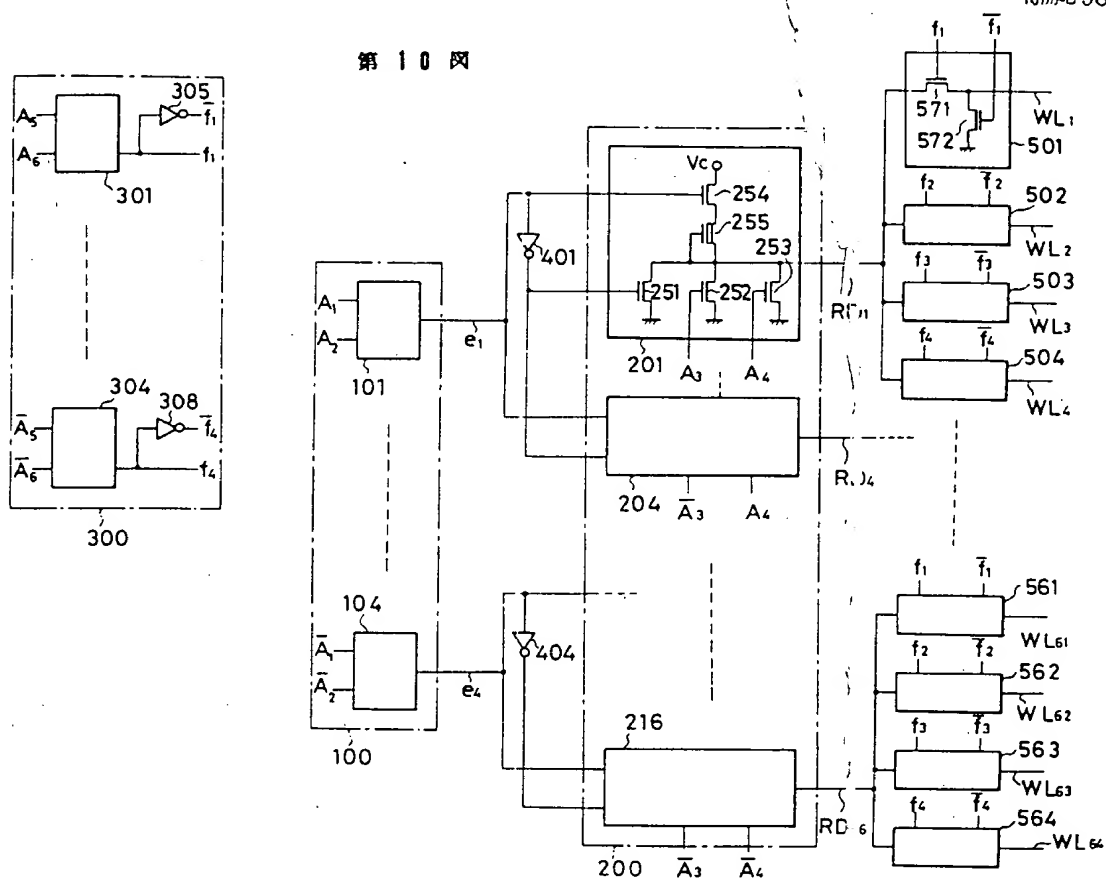
第 8 図



第 9 図



第 10 网



AN - 83-185091

TI - BOOSTED VOLTAGE OUTPUT CIRCUIT AND ADDRESS DECODING CIRCUIT
HAVING SAID BOOSTED VOLTAGE OUTPUT CIRCUIT

PA - (2000307) TOSHIBA CORP

IN - ASANO, MASAMICHI; IWAHASHI, HIROSHI

PN - 83.10.28 J58185091, JP 58-185091

AP - 82.04.24 82JP-068921, 57-68921

SO - 84.02.09 SECT. P, SECTION NO. 253; VOL. 8, NO. 31, PG. 113.

IC - G11C-011/34; G11C-008/00

JC - 45.2 (INFORMATION PROCESSING--Memory Units)

FKW - R097 (ELECTRONIC MATERIALS--Metal Oxide Semiconductors, MOS)

AB - PURPOSE: To prevent a drop of the voltage level due to a leakage current, by providing a boosted voltage output terminal, a voltage boosting means, a boosted voltage holding means and a boosted voltage supply control means and then supplying steadily the voltage boosted up to a prescribed level to the boosted voltage output terminal.

CONSTITUTION: When an input signal A is set at "1", a signal Q is set at "1" via a TR13. Then TR16 and 20 are turned on. A signal P passes through an inverter 12 is set at "0", and a TR21 is turned off. If the TR13 and 15 are set to be turned off, the signal Q is boosted via the TR20 and a capacitor 23 and reaches the level of the voltage $VH(\text{sub } a)$ boosted steadily via the TR16 and 14. This voltage is applied to the gate of the TR20, and a signal S of a boosted voltage terminal 22 is delivered with another boosted voltage $VH(\text{sub } b)$. As a result, a drop of the boosted voltage level can be prevented since the electric charge is supplied through a terminal 19 although a leakage current flows via the terminal 22.